



**(19) BUNDESREPUBLIK**

DEUTSCHLAND



**DEUTSCHES  
PATENTAMT**

⑫ **Offenlegungsschrift**  
⑩ **DE 41 06 784 A 1**

(51) Int. Cl.<sup>5</sup>:  
**G 06 F 9/40**  
H 04 B 1/38  
H 04 B 7/26  
H 04 B 1/66

(21) Aktenzeichen: P 41 06 784.3  
(22) Anmeldetag: 4. 3. 91  
(43) Offenlegungstag: 10. 9. 92

DE 4106784 A1

⑦1 Anmelder:

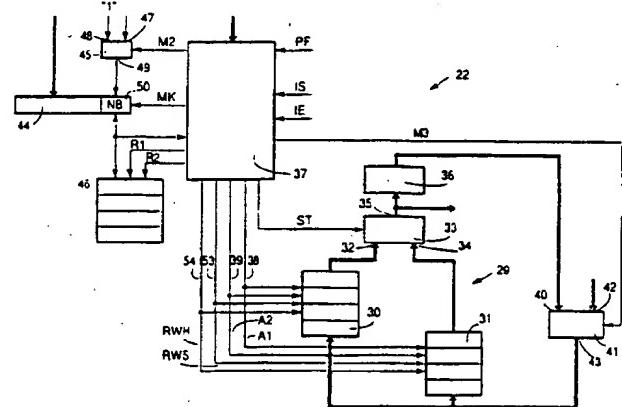
Philips Patentverwaltung GmbH, 2000 Hamburg, DE

## ⑦2 Erfinder:

Schuck, Johannes, Dr.-Ing., 8505 Röthenbach, DE;  
Hellwig, Karl, Dipl.-Ing.; Bauer, Harald, Dipl.-Ing.;  
Ebert, Harald, Dipl.-Ing., 8500 Nürnberg, DE

#### 54 Signalprozessor zur Verwendung in einem digitalen Funktelefon

57) Die Erfindung bezieht sich auf einen Signalprozessor (3) mit einer zur Erzeugung von Adressen für eine Speichereinheit (23) dienenden Adressierungseinheit (22), die eine Adreßregisteranordnung (29) und einen Decoder (37) enthält. Der Decoder ist in Abhängigkeit eines Programmbefehls während der Abarbeitung eines Programms oder eines Interruptzyklus zur Freigabe eines Registers der Adreßregisteranordnung zum Lesen oder Schreiben von Adressen vorgesehen. Die Adreßregisteranordnung (29) enthält einen Haupt-Adreßregisterteil (30) und einen Schatten-Adreßregisterteil (31). Nach einem Interrupt ist der Decoder zur Freigabe eines Registers des Schatten-Adreßregisterteils vorgesehen, welcher zur Speicherung der Anfangsadresse eines Interruptzyklus bestimmt ist. Am Ende eines Interruptzyklus ist der Decoder zur Freigabe des vor dem Interrupt zum Schreiben oder Lesen vorgesehenen Registers der Adreßregisteranordnung bestimmt.



DE 41 06784 A1

# **Best Available Copy**

## Beschreibung

Die Erfindung bezieht sich auf einen Signalprozessor mit einer zur Erzeugung von Adressen für eine Speicher-  
einheit dienenden Adressierungseinheit, die eine Adreßregisteranordnung und einen Decoder enthält, der in  
Abhängigkeit eines Programmbelegs während der Abarbeitung eines Programms oder eines Interruptzyklus  
zur Freigabe eines Registers der Adreßregisteranordnung zum Lesen oder Schreiben von Adressen vorgesehen  
ist.

Signalprozessoren sind spezielle Mikrocomputer für Echtzeitanwendungen. Ein solcher Signalprozessor, der  
z. B. aus dem Aufsatz "Vernetztes Europa — High-Tech-DSP bringt neues Licht in die mobile Telefonie" von P.  
McAlinder und D. Hartley, Elektronik 25/1990, Seiten 46 bis 52, bekannt ist, dient beispielsweise in einem  
mobilen Funktelefon zur Sprachcodierung und -decodierung, Entzerrung, Synchronisation usw. Der Prozessor  
umfaßt in der Regel eine Speichereinheit, eine Adressierungseinheit zur Erzeugung für Adressen für die Spei-  
chereinheit, eine Datenverarbeitungseinheit zur Durchführung von arithmetischen und logischen Operationen,  
Peripherieeinheiten, eine Programmspeichereinheit und eine Steuereinheit. Gekoppelt sind die Einheiten über  
wenigstens einen Programmbus und einen Datenbus. Über den Programmabus werden den Einheiten Programm-  
befehle und über den Datenbus Datenworte zugeführt. Des weiteren sind noch Verbindungen zwischen einzel-  
nen Einheiten über Steuerleitungen vorhanden.

In einem Signalprozessor wird ein von einem Anwender eingegebenes Programm ausgeführt. Bei der Abar-  
beitung eines solchen Programms werden unter anderem bestimmte Daten aus der Speichereinheit ausgelesen,  
geschrieben und weiterverarbeitet. Hierbei müssen die Daten, welche ausgelesen werden, über eine Adresse  
angesprochen werden. Zur Bildung einer solchen Adresse dient die Adressierungseinheit, welche wenigstens  
einen Decoder und eine Adreßregisteranordnung mit mehreren Adreßregistern enthält. Der Decoder erhält  
über einen Programmabus einen binär codierten Programmbeleg, den er ausführt. Hierbei kann ein Adreßregi-  
ster zum Einschreiben oder Auslesen von Adressen dienen. Im Programmbeleg ist jeweils die Adresse für ein  
Adreßregister enthalten. Um einen Programmbeleg nicht zu groß werden zu lassen, ist die Anzahl der Adreßre-  
gister beschränkt. Bei modernen Signalprozessoren stehen höchstens vier Adreßregister zur Verfügung, d.h.  
zwei Binärstellen im Programmbeleg sind für die Adresse eines Adreßregisters reserviert. Die ausgelesene  
Adresse kann zur Bildung einer neuen Adresse über eine arithmetisch/logische Einheit auch verändert werden.

Ein von dem Signalprozessor ausgeführtes Programm kann durch einen Interrupt (Programmunterbrechung)  
z. B. zur Ausführung einer Ein/Ausgabeoperation unterbrochen werden. In diesem Fall wird die Abarbeitung des  
aktuellen Programmes unterbrochen und ein Interrupt-Unterprogramm gestartet. Nach dem Ende des Inter-  
rupt-Unterprogrammes fährt der Signalprozessor mit dem Programmablauf an der Stelle fort, an der das  
Programm durch einen Interrupt unterbrochen wurde.

Zur Durchführung eines Interrupt-Unterprogrammes werden in der Regel Adressen aus der Adressierungs-  
einheit benötigt. Diese Adressen für Interrupt-Unterprogramme sind in Adreßregistern gespeichert oder sie  
müssen über aufwendige Programmoperationen aus anderen Speicherbereichen des Signalprozessors in die  
Adreßregister geholt werden. Im ersten Fall kann also ein Teil der Adreßregister nur für den normalen  
Programmablauf verwendet werden, weil die anderen Adreßregister-Adressen für Interrupt-Unterprogramme  
enthalten. Hierdurch sind bestimmte Operationen zeitaufwendiger auszuführen, weil bestimmte Adressen aus  
anderen Speicherbereichen des Signalprozessors zu einem Adreßregister geholt werden müssen. Im zweiten  
Fall dauert die Rechenzeit länger, weil erst Adressen des normalen Programms aus Adreßregistern ausgelesen  
und gesichert werden müssen und anschließend neue Adressen für das Interrupt-Unterprogramm in die Adreß-  
register geholt werden müssen. Bei der Beendigung des Interrupt-Unterprogrammes ist ein umgekehrter Vor-  
gang erforderlich. Da dadurch die Rechenzeit erhöht ist, kann es Probleme bei bestimmten Operationen geben,  
die in Echtzeit ausgeführt werden müssen.

Der Erfindung liegt daher die Aufgabe zugrunde, einen Signalprozessor zu schaffen, welcher den Programm-  
ablauf ohne zusätzliche zeitaufwendige Operationen mit den Adreßregisteranordnungen ausführt.

Diese Aufgabe wird bei einem Signalprozessor der eingangs genannten Art dadurch gelöst, daß die Adreßre-  
gisteranordnung einen Haupt-Adreßregisterteil und einen Schatten-Adreßregisterteil enthält, daß nach einem  
Interrupt der Decoder zur Freigabe eines Registers des Schatten-Adreßregisterteils vorgesehen ist, welcher zur  
Speicherung der Anfangsadresse eines Interruptzyklus bestimmt ist, und daß am Ende eines Interruptzyklus der  
Decoder zur Freigabe des vor dem Interrupt zum Schreiben oder Lesen vorgesehenen Registers der Adreßregi-  
steranordnung bestimmt ist.

Bei diesem Signalprozessor, dient der Schatten-Adreßregisterteil in der Adreßregisteranordnung im wesentli-  
chen zur Speicherung von Adressen für die Interrupt-Unterprogramme. Falls noch Adreßregister im Schatten-  
Adreßregisterteil frei belegbar sind, können diese beim normalen Programmablauf benutzt werden. Zur Unter-  
scheidung der Adreßregisterteile im normalen Programmablauf könnte daher ein zusätzlicher Programmbeleg  
vor dem die Adreßregisteranordnung betreffenden Programmbeleg erfolgen. Ein solcher zusätzlicher Pro-  
grammbeleg benötigt sehr viel weniger Zeit als die Programmbelege, die für Holvgänge und Sicherungsvor-  
gänge von Adressen bisher erforderlich sind. Die Anzahl der Adreßregister hat sich durch die erfundengemäße  
Maßnahme vergrößert, obwohl eine Vergrößerung der Binärstellen für eine Adresse eines Adreßregisters im  
Programmbeleg nicht erforderlich ist. Dadurch ist eine Vergrößerung der Programmspeichereinheit nicht nötig.  
Unter einer Adresse werden ein Adreßregister im Haupt-Adreßregisterteil oder ein Adreßregister im Schatten-  
Adreßregisterteil angesprochen. Der Schatten-Adreßregisterteil wird selektiert falls ein Interrupt vorliegt. Ein  
Register des Schatten-Adreßregisterteils kann auch in einem normalen Programmablauf benutzt werden. Hier-  
für sind aber, wie oben erwähnt, besondere Befehle notwendig.

In einem Adreßregister des Schatten-Adreßregisterteils ist eine Anfangsadresse eines Interruptzyklus gespei-  
chert. Diese Anfangsadresse wird erstmalig bei der Initialisierung des Signalprozessors über eine Initialisie-

rungsprogramm in das Adreßregister des Schatten-Adreßregisterteils eingeschrieben. Diese Anfangsadresse kann unverändert bleiben oder während eines Interruptzyklus verändert werden und als eine neu gebildete Anfangsadresse für den nächsten Interruptzyklus zur Verfügung stehen. Nach dem Ende des Interruptzyklus fährt der Signalprozessor mit dem Programmablauf an der Stelle fort, an der er unterbrochen worden ist. Dazu wird das vor dem Interrupt zum Schreiben oder Lesen vorgesehene Register der Adreßregisteranordnung wieder angesprochen. Durch diese obengenannten Maßnahmen sind keine rechenzeitintensiven Operationen erforderlich.

In einem Programmbeispiel zur Abarbeitung eines Programms oder auch in einem Programmbeispiel, welcher nach einem Interrupt in einem aufgerufenen Interrupt-Unterprogramm enthalten ist, ist eine Adresse für ein Adreßregister vorhanden. Diese Adresse gilt für ein Adreßregister im Haupt-Adreßregisterteil und im Schatten-Adreßregisterteil. Selektiert werden die Adreßregister nach dem Auftreten eines Interrupts oder weiterer Programmbeispiele bei der Abarbeitung eines Programms. Diese Selektion kann z. B. im Decoder vorgenommen werden. Bei einer anderen Ausführungsform ist vorgesehen, daß die Ausgänge des Haupt-Adreßregister-teils mit einem ersten Eingang und die Ausgänge des Schatten-Adreßregisterteils mit einem zweiten Eingang eines ersten von dem Decoder gesteuerten Multiplexers gekoppelt ist, dessen Ausgang mit der Speicherheit gekoppelt ist, und daß der Decoder zur Lieferung eines Steuerbefehles an den ersten Multiplexer vorgesehen ist, der bei einem die Adreßregisteranordnung betreffenden Programmbeispiel wahlweise zur Kopplung des ersten oder zweiten Eingangs mit dem Ausgang des ersten Multiplexers und bei einem Interrupt zur Kopplung des zweiten Eingangs mit dem Ausgang des ersten Multiplexers dient.

Hierbei werden also die Schreibausgänge der beiden Adreßregisterteile wahlweise mit einer Speicherheit gekoppelt. Die Kopplung der beiden Eingänge des ersten Multiplexers mit seinem Ausgang hängt von einem vom Decoder gelieferten Steuerbefehl ab. Bei Vorliegen eines Interrupts ist der zweite Eingang des ersten Multiplexers mit seinem Ausgang gekoppelt. Mit dem Ausgang des ersten Multiplexers kann auch eine arithmetisch/logische Einheit gekoppelt werden, welche die aus einem Adreßregister ausgelesene Adresse verändert und als neue Adresse dem Adreßregister wieder zuführt.

Bei einem Interrupt bewirkt der Steuerbefehl, der vom Decoder dem ersten Multiplexer zugeführt wird, daß der zweite Eingang mit dem Ausgang des ersten Multiplexers gekoppelt ist. Eine Steuerung des ersten Multiplexers bei einem Programm kann über einen zusätzlichen Programmbeispiel erfolgen. Hierbei ist vorgesehen, daß zumindest vor dem erstmaligen Auftreten eines die Adreßregisteranordnung betreffenden Programmbeispiels mit einem Ladeprogrammbeispiel ein Kontrollregister zur Ladung eines Datenwortes bestimmt ist und daß ein Bit dieses Datenwortes den Steuerbefehl des Decoders bei Nichtvorliegen eines Interrupts bestimmt. Der Decoder wertet das Bit des Datenwortes aus und bildet daraufhin den entsprechenden Steuerbefehl für den ersten Multiplexer. Es kann hierbei vorgesehen werden, daß das Bit des Datenwortes, welches den Steuerbefehl bei einem Programm bestimmt, das niedrigwertigste Bit ist.

In einer weiteren Ausführungsform ist vorgesehen, daß der Ausgang der niedrigwertigsten Speicherzelle des Kontrollregisters mit dem Decoder gekoppelt ist und daß der Eingang der niedrigwertigsten Speicherzelle mit einem Ausgang eines zweiten Multiplexers gekoppelt ist, dessen erster Eingang zur Zuführung des niedrigwertigsten Bits des Datenwortes und dessen zweiter Eingang zur Zuführung eines Bits vorgesehen ist, welches den Decoder zur Bildung eines Steuerbefehles bei einem Interrupt veranlaßt. Bei einem Interrupt wird vom Decoder der zweite Multiplexer so geschaltet, daß er anstelle des niedrigwertigsten Bits des Datenwortes ein Bit einliest, aus welchem der Steuerbefehl bei einem Interrupt gebildet wird. Der Decoder wertet bei der Abarbeitung eines Programms und ebenso bei einem Interruptzyklus das Bit, welches in der niedrigwertigsten Speicherzelle des Kontrollregisters steht, aus und bestimmt danach den Steuerbefehl für den ersten Multiplexer.

Es kann vorkommen, daß während eines Interruptzyklus ein weiterer Interruptzyklus beginnt. Damit der Inhalt der niedrigwertigsten Speicherzelle des zuerst erfolgten Interruptzyklus nicht verloren geht, ist vorgesehen, daß beim Auftreten eines weiteren Interrupts während eines Interruptzyklus ein Reservespeicher zur Einschreibung des in der niedrigwertigsten Speicherzelle des Kontrollregisters befindlichen Bits vorgesehen ist und daß am Ende des zuletzt erfolgten Interruptzyklus das in dem Reservespeicher gespeicherte Bit zur Einschreibung in die niedrigwertigste Speicherzelle des Kontrollregisters bestimmt ist. Falls mehr als zwei verschachtelte Interruptzyklen auftreten, ist der Reservespeicher zur Einschreibung der in der niedrigwertigsten Speicherzelle des Kontrollregisters befindlichen Bits von mehreren Interruptzyklen vorgesehen. Die Anzahl der Speicherzellen des Reservespeichers sollte dabei so groß gewählt werden, daß sie mindestens gleich der Anzahl der Interruptquellen ist. Eine Interruptquelle ist beispielsweise eine Ein/Ausgabeinheit. Die Einschreibung und Auslesung der Bits aus dem Reservespeicher kann auf einfache Weise realisiert werden, indem der Reservespeicher bei der Einschreibung der Bits zur Arbeit nach dem Schieberegisterprinzip und zur Auslesung des zuletzt eingeschriebenen Bits am Ende eines Interruptzyklus vorgesehen ist.

Aufgrund der erfundsgemäßen Maßnahmen in der Adressierungseinheit des Signalprozessors, ist dieser besonders für Echtzeitanforderungen geeignet. In der Telekommunikation, insbesondere im mobilen Funkbereich treten Echtzeitanforderungen auf, die mit diesem Signalprozessor gelöst werden können. Daher ist der Signalprozessor zur Verwendung in einem digitalen Funktelefon besonders geeignet.

Ein Ausführungsbeispiel der Erfindung wird nachstehend anhand der Zeichnungen näher erläutert. Es zeigen Fig. 1 ein Blockschaltbild eines digitalen Mobiltelefons mit einem Signalprozessor,

Fig. 2 ein Blockschaltbild des in Fig. 1 verwendeten Signalprozessors und

Fig. 3 ein Ausführungsbeispiel einer in Fig. 2 in einem Signalprozessor verwendeten Adressierungseinheit.

Das in der Fig. 1 dargestellte Blockschaltbild eines digitalen Funktelefons enthält einen Send- und Empfangsweg. Die von einem Mikrofon 1 empfangenen Sprachsignale werden über einen Analog-Digital-Umsetzer 2 in binär codierte Datenworte umgesetzt. Diese Datenworte werden einem Signalprozessor 3 zugeführt. Für die verschiedenen Funktionen, die der Signalprozessor 3 durchführt, sind in der Fig. 1 im Signalprozessor 3 die

Blöcke 4 bis 10 dargestellt. Mit den vom Analog-Digital-Umsetzer 2 erzeugten Datenworten wird im Block 4 eine Sprachcodierung, dann im Block 5 eine Kanalcodierung und anschließend im Block 6 eine Verschlüsselung durchgeführt. Diese verschlüsselten Datenworte werden in einem Modulator 12 GMSK-moduliert. Dieser ist mit einem Ausgang des Signalprozessors 3 verbunden. Anschließend werden die modulierten digitalen Signale in einem Digital-Analog-Umsetzer 13 in analoge modulierte Signale umgesetzt. Diese modulierten analogen Signale werden einer Sendeschaltung 14 zugeführt, die Funksignale erzeugt welche über eine Antenne 15 abgestrahlt werden. Der bisher beschriebene Weg stellt den Sendeweg des digitalen Funktelefons dar.

Der Empfangsweg des digitalen Funktelefons wird im folgenden beschrieben. Von einer Antenne 16 empfangene analoge Funksignale werden in einer Empfangsschaltung 17 verarbeitet und analoge modulierte Signale einem Analog-Digital-Umsetzer 18 zugeführt. Die von dem Analog-Digital-Umsetzer abgegebenen digital modulierten Signale werden in einem Demodulator 19 demoduliert und dem Signalprozessor 3 zugeführt. Der Block 10 im Signalprozessor 3 soll die anschließende Entzerrung der demodulierten Signale aufzeigen. Anschließend wird eine Entschlüsselungsfunktion durchgeführt, die durch den Block 9 symbolisiert ist. Nach einer Kanaldecodierung im Block 8 und einer Sprachdecodierung im Block 7 leitet der Signalprozessor 3 digitale Datenworte einem Digital-Analog-Umsetzer 20 zu, der die analogen Sprachsignale zu einem Lautsprecher 21 gibt.

Der in Fig. 1 verwendete Signalprozessor ist etwas detaillierter in der Fig. 2 dargestellt. Der Signalprozessor 3 weist eine Adressierungseinheit 22 auf, in der Adressen für eine Speichereinheit 23 gebildet werden; die einen ROM und RAM enthält. In einer Datenverarbeitungseinheit 24 werden Daten mittels einer arithmetisch/logischen Einheit und einem Multiplizierer verarbeitet. Des weiteren ist noch eine Steuereinheit 25 und eine Programmspeichereinheit 26, in der ein auszuführendes Programm abgelegt ist, in dem Signalprozessor 3 vorhanden.

Die Einheiten 22 bis 26 sind über ein Bussystem miteinander verbunden. Dieses Bussystem besteht aus einem Programmbus, über den Programmbefehle übertragen werden, einem Datenbus, über den Datenworte übertragen werden, und Steuerleitungen, über die Steuerinformationen weitergegeben werden. Des weiteren ist mit dem Bussystem noch eine Peripherieeinheit 27 gekoppelt, über die über verschiedene Schnittstellen Ein/Ausgabeinheiten mit dem Bussystem gekoppelt sind. Für bestimmte Einheiten ist noch eine Spezialeinheit 28 vorhanden, die rechenzeitintensive Operationen durchführen kann.

Ein-Ausführungsbeispiel der Adressierungseinheit 22 ist in der Fig. 3 gezeigt. Diese enthält eine Adreßregisternordnung 29 mit einem Haupt-Adreßregisterteil 30 und einem Schatten-Adreßregisterteil 31. Das Haupt-Adreßregisterteil 30 und das Schatten-Adreßregisterteil 31 enthalten jeweils vier Adreßregister. Der Ausgang des Haupt-Adreßregisterteils 30 ist mit einem ersten Eingang 32 eines ersten Multiplexers 33 und der Ausgang des Schatten-Adreßregisterteils 31 mit einem zweiten Eingang 34 des ersten Multiplexers 33 verbunden. Der Ausgang 35 des ersten Multiplexers 33 ist mit einer arithmetisch/logischen Einheit 36 und der hier nicht näher dargestellten Speichereinheit 23 gekoppelt. Gesteuert wird der erste Multiplexer 33 mittels eines Steuerbefehls ST von einem Decoder 37, der aus logischen Grundelementen (UND-, ODER-, EXOR-, NAND-, NOR-Gatter und weiteren Gattern) besteht. Über vier weitere Steuerverbindungen 38, 39, 53 und 54 werden den Adreßregisterteilen 30 und 31 die Steuersignale A1, A2, RWS und RWH zugeführt.

Der Ausgang der arithmetisch/logischen Einheit 36 weist eine Verbindung mit einem ersten Eingang 40 eines dritten Multiplexers 41 auf. Der zweite Eingang 42 des dritten Multiplexers 41 ist an den Datenbus angeschlossen. Gesteuert wird der dritte Multiplexer 41 über ein Steuersignal M3 von dem Decoder 37. Der Ausgang 43 des dritten Multiplexers 41 ist mit den beiden Eingängen der Adreßregisterteile 30 und 31 gekoppelt.

Zur Erläuterung der Funktionsweise der bisher geschilderten Elemente in der Adressierungseinheit 22 sei folgendes bemerkt. Eine logische "1" wird im folgenden als "1" und eine logische "0" wird als "0" bezeichnet.

Die Steuersignale A1 und A2 kennzeichnen eine Adresse beider Adreßregisterteile 30 und 31. Die Steuersignale RWS und RWH kennzeichnen, ob ausgelesen und/oder eingeschrieben wird. Falls beide Steuersignale RWS und RWH gleich "1" gesetzt sind, wird sowohl aus einem Register des Haupt-Adreßregisterteils 30 als auch aus einem Register des Schatten-Adreßregisterteils 31 ausgelesen. Falls einer der beiden Signale RWS und RWH "0" gesetzt ist, wird aus einem Register der Adreßregisterteile 30 und 31 ausgelesen und zwar aus dem Register, dessen Adreßregisterteil 30 oder 31 "0" erhält. Darauffolgend kann diese ausgelesene Adresse in der arithmetisch/logischen Einheit 36 modifiziert werden. Die Adresse wird modifiziert oder unmodifiziert in dasselbe Register wieder eingeschrieben. Gegebenenfalls wird auch eine Adresse vom Datenbus über einen zweiten Multiplexer 41 eingeschrieben.

Soll eine Adresse aus dem Schatten-Adreßregisterteil 31 ausgelesen werden, so werden von dem Decoder 37 über die Verbindungen 53 und 54 die Steuersignale RWS und RWH mit dem Wert "1" geliefert. Die beiden anderen Steuersignale A1 und A2 kennzeichnen ein bestimmtes Adreßregister in den Adreßregisterteilen 30 und 31. Auf den Leitungen, die zu dem ersten Eingang 32 und zu dem zweiten Eingang 34 des ersten Multiplexers 33 führen, liegen Adressen aus den beiden Adreßregisterteilen 30 und 31 an. Welche Adresse zum Ausgang 35 des ersten Multiplexers 33 gegeben wird, hängt von dem Steuerbefehl ST ab. Da eine Adresse aus dem Schatten-Adreßregisterteil 31 zum Ausgang 35 gegeben werden soll, ist der Steuerbefehl ST gleich "1" gesetzt. Das bedeutet, daß der zweite Eingang 34 mit dem Ausgang 35 verbunden ist. Wenn der Steuerbefehl ST gleich "0" ist, wird der erste Eingang 32 mit dem Ausgang 35 verbunden. Die Adresse am Ausgang 35 kann nun zu der Speichereinheit 23 oder von der arithmetisch/logischen Einheit 36 weiterverarbeitet werden. Falls die Adresse z. B. nach einer Modifikation wieder demselben Register zurückgeführt werden soll, wird der dritte Multiplexer durch das Steuersignal M3 so beeinflußt, d. h. logisch gleich "1", daß sein erster Eingang 40 mit seinem Ausgang 43 verbunden ist.

In der Adressierungseinheit 22 sind noch ein Kontrollregister 44, ein zweiter Multiplexer 45 und ein Reservespeicher 46 enthalten. Der erste Eingang 47 des zweiten Multiplexers 45 ist mit der Leitung des Datenbusses

verbunden, die das niederwertigste Bit eines Datenwortes transportiert. Dem zweiten Eingang 48 des zweiten Multiplexers 45 wird eine logische "1" zugeführt. Der Ausgang 49 des zweiten Multiplexers 45 ist mit der niederwertigsten Speicherzelle 50 des Kontrollregisters 44 verbunden. Gesteuert wird der zweite Multiplexer 45 mittels eines Signales M2 von dem Decoder 37. Ein Steuersignal MK erhält die niederwertigste Speicherzelle 50 ebenfalls vom Decoder 37. Der Ausgang der niederwertigsten Speicherzelle 50 ist mit dem Reservespeicher 46 und mit dem Decoder 37 verbunden. Der Reservespeicher 46 wird noch mittels zweier Steuersignale R1 und R2 von dem Decoder 37 gesteuert. Der Decoder 37 ist außerdem noch mit dem Programmibus verbunden. Ein Programmbebefl der vom Programmibus dem Decoder 37 zugeführt wird, kann im Decoder 37 verarbeitet werden, wenn ein weiteres dem Decoder 37 zugeführtes Steuersignal PF dies anzeigt. Wird ein Programm durch einen Interrupt unterbrochen, so zeigt dieses ein Interruptstartsignal 15 an und das Ende eines Interruptzyklus ein. Interruptendesignal IE an. Beide Signale IS und IE werden auf weiteren Leitungen dem Decoder 37 zugeführt.

Soll bei einem Programmablauf aus einem Adressregisterteil 30 oder 31 eine Adresse verwendet werden, so wird zuerst vom Programmibus ein Ladebefehl gesendet, der vom Decoder 37 verarbeitet werden kann, wenn das Steuersignal PF gleich "1" ist. In diesem Fall setzt der Decoder das Steuersignal M2 gleich "0", so daß eine Kopplung des ersten Eingangs 47 des zweiten Multiplexers 45 mit seinem Ausgang 49 vorliegt. Das Steuersignal MK wird gleich "1" gesetzt, womit in die niederwertigste Speicherzelle 50 des Kontrollregisters 44 das niederwertigste Bit NB eines Datenwortes eingelesen wird. Dieses Bit NB wird über die Leitung 51 dem Decoder 37 zugeführt. Wenn das in der Speicherzelle 50 enthaltene Bit NB gleich "1" ist wird der Steuerbefehl ST gleich "1" gesetzt. Falls das Bit NB in der Speicherzelle 50 gleich "0" ist, wird der Steuerbefehl ST gleich "0". Nach dem Ladeprogrammbefehl wird in einem späteren Schritt vom Programmibus ein Befehl zugeführt, mit dem eine Aktion in einem Adressregisterteil 30 oder 31 durchgeführt werden soll. Beispielsweise könnte ein Programmbebefl bewirken, daß aus einem Adressregister des Adressregisterteils 30 eine Adresse zur Speicher-  
einheit 23 gegeben wird.

Kommt während eines Programmablaufes ein Interrupt, so daß IS gleich "1" gesetzt ist, wird der Programmablauf unterbrochen. Der Decoder setzt daraufhin das Steuersignal M2 gleich "1" und in die Speicherzelle 50 wird der vom Ausgang 49 des zweiten Multiplexers 45 angebotene Wert eingelesen. Vorher wurde der Inhalt der Speicherzelle 50 über die Leitung 51 in den Reservespeicher 46 eingelesen. Dazu wird das Steuersignal R1 gleich "1" gesetzt, was bedeutet, daß die erste Speicherzelle im Reservespeicher 46 zum Einlesen des Bits NB aus der Speicherzelle 50 bereit ist. Im folgenden kann nun ein Interrupt-Unterprogramm ablaufen. Hierbei können auch alle Adressregister der Adressregisteranordnung 29 verwendet werden. Wenn ein Interruptzyklus zu Ende ist, wird das Steuersignal IE gleich "1" gesetzt. Daraufhin wird das Steuersignal R1 gleich "0" und das Steuersignal R2 gleich "1" gesetzt, was bedeutet, daß der Reservespeicher 46 zur Abgabe des in der obersten Speicherzelle des Reservespeichers 46 enthaltenen Wertes an die Speicherzelle 50 bereit ist. Mit dem Steuersignal MK wird das Bit aus dem Reservespeicher 46 über die Leitung 51 in die Speicherzelle 50 eingelesen. Der Inhalt der Speicherzelle 50 gibt über die Leitung 51 dem Decoder 37 an, welchen Wert der Steuerbefehl ST haben muß. Entsprechend wird der erste Multiplexer 33 geschaltet. Damit beginnt das Programm an der Stelle, an der es nach dem Auftreten eines Interrupts aufgehört hat.

Während eines Interruptzyklus kann ein weiterer Interrupt vorkommen. In diesem Fall wird der laufende Interruptzyklus unterbrochen und ein neuer Interruptzyklus beginnt. Hierbei wird zu Beginn eines Interruptzyklus das Interruptstartsignal IS gleich "1" gesetzt, eine Verbindung zwischen dem Eingang 48 und dem Ausgang 49 des zweiten Multiplexers 45 hergestellt und in die Speicherzelle 50 ein neuer Wert eingelesen. Vorher ist der in der Speicherzelle 50 bisher gespeicherte Wert NB in den Reservespeicher 46 eingelesen worden. Der von dem Programm stammende Wert in dem Reservespeicher 46 ist dabei nach dem Schieberegisterprinzip in eine benachbarte Speicherzelle des Reservespeichers 46 geschoben worden. Bei dieser Operation ist das Steuersignal R1 gleich "1" und das Steuersignal R2 gleich "0" gesetzt. Auf diese Art können verschiedene Interruptzyklen ineinander verschachtelt sein. Wenn der Reservespeicher 46 vier Speicherzellen aufweist, können insgesamt vier verschachtelte Interruptzyklen auftreten.

Wie oben erwähnt besteht der Decoder aus logischen Schaltelementen. Bei einem Programmbebefl oder einem Interrupt weisen die Ausgänge und Eingänge des Decoders 37 bestimmte logische Zustände auf. Im folgenden sind für die verschiedenen Ein- und Ausgangssignale die logischen Zustände in den untenstehenden Tabellen aufgeführt. Anhand dieser Tabellen kann ein Decoder 37 mit entsprechenden logischen Schaltelementen aufgebaut werden.

Folgende Zustände treten bei einem Programmbebefl für eine Adressregisteroperation auf, bei dem die Speichereinheit 23 adressiert werden soll:

PF	IS	IE	NB	R1	R2	MK	ST	M31	M2	RWH	RWS
0	0	0	x	0	0	0	x	x	x	1	1
1	0	0	0	0	0	0	0	0	x	0	1
1	0	0	1	0	0	0	1	0	x	1	0

Folgende Zustände treten bei dem Start eines Interruptzyklus auf:

PF	IS	IE	NB	R1	R2	MK	ST	M3	M2	RWH	RWS
x	1	0	x	1	0	1	x	x	1	1	1

5

Folgende Zustände treten am Ende eines Interruptzyklus auf:

PF	IS	IE	NB	R1	R2	MK	ST	M3	M2	RWH	RWS
x	0	1	x	0	1	1	x	x	x	1	1

10 15 Folgende Zustände treten bei einem Programmbebefhl zum Laden des Kontrollregisters 44 auf:

PF	IS	IE	NB	R1	R2	MK	ST	M3	M2	RWH	RWS
0	0	0	x	0	0	0	x	x	x	1	1
1	0	0	x	0	0	1	x	x	0	1	1

PF	IS	IE	NB	R1	R2	MK	ST	M3	M2	RWH	RWS
0	0	0	x	0	0	0	x	x	x	1	1
1	0	0	0	0	0	0	x	1	x	0	1
1	0	0	1	0	0	0	x	1	x	1	0

20 25 30 Folgende Zustände treten bei einem Programmbebefhl zum Laden eines Adreßregisters auf:

PF	IS	IE	NB	R1	R2	MK	ST	M3	M2	RWH	RWS
0	0	0	x	0	0	0	x	x	x	1	1
1	0	0	0	0	0	0	x	1	x	0	1
1	0	0	1	0	0	0	x	1	x	1	0

35 "x" bedeutet, daß ein Signal oder Befehl den Zustand "0" oder "1" aufweisen kann.

#### Patentansprüche

- Signalprozessor (3) mit einer zur Erzeugung von Adressen für eine Speichereinheit (23) dienenden Adressierungseinheit (22) die eine Adreßregisteranordnung (29) und einen Decoder (37) enthält, der in Abhängigkeit eines Programmbebefhls während der Abarbeitung eines Programms oder eines Interruptzyklus zur Freigabe eines Registers der Adreßregisteranordnung zum Lesen oder Schreiben von Adressen vorgesehen ist, dadurch gekennzeichnet, daß die Adreßregisteranordnung (29) einen Haupt-Adreßregisterteil (30) und einen Schatten-Adreßregisterteil (31) enthält, daß nach einem Interrupt der Decoder (37) zur Freigabe eines Registers des Schatten-Adreßregisterteils vorgesehen ist, welcher zur Speicherung der Anfangsadresse eines Interruptzyklus bestimmt ist und daß am Ende eines Interruptzyklus der Decoder zur Freigabe des vor dem Interrupt zum Schreiben oder Lesen vorgesehenen Registers der Adreßregisteranordnung bestimmt ist.
- Signalprozessor nach Anspruch 1, dadurch gekennzeichnet, daß die Ausgänge des Haupt-Adressenregisterteils (30) mit einem ersten Eingang (32) und die Ausgänge des Schatten-Adreßregisterteils (31) mit einem zweiten Eingang (34) eines ersten von dem Decoder (37) gesteuerten Multiplexers (33) gekoppelt ist, dessen Ausgang (35) mit der Speichereinheit (23) gekoppelt ist, und daß der Decoder zur Lieferung eines Steuerbefehls (ST) an den ersten Multiplexer vorgesehen ist, der bei einem die Adreßregisteranordnung betreffenden Programmbebefhl wahlweise zur Kopplung des ersten oder zweiten Eingangs mit dem Ausgang des ersten Multiplexers und bei einem Interrupt zur Kopplung des zweiten Eingangs mit dem Ausgang des ersten Multiplexers dient.
- Signalprozessor nach Anspruch 1, dadurch gekennzeichnet, daß zumindest vor dem erstmaligen Auftreten eines die Adreßregisteranordnung (29) betreffenden Programmbebefhls mit einem Ladeprogrammbebefhl ein Kontrollregister (44) zur Ladung eines Datenwertes bestimmt ist und daß ein Bit dieses Datenwertes den Steuerbefehl (ST) des Decoders (37) bei Nichtvorliegen eines Interrupt bestimmt.
- Signalprozessor nach Anspruch 3, dadurch gekennzeichnet, daß das Bit des Datenwertes, welches den Steuerbefehl (ST) bei einem Programm bestimmt, das niederwertigste Bit ist.
- Signalprozessor nach Anspruch 4, dadurch gekennzeichnet, daß der Ausgang der niederwertigsten Speicherzelle (50) des Kontrollregisters (44) mit dem Decoder (37) gekoppelt ist und daß der Eingang der niederwertigsten Speicherzelle mit einem Ausgang (49) eines zweiten Multiplexers (45) gekoppelt ist, dessen erster Eingang (47) zur Zuführung des niederwertigsten Bit des Datenwertes und dessen zweiter Eingang zur Zuführung eines Bits vorgesehen ist, welches den Decoder zur Bildung eines Steuerbefehls (ST) bei einem Interrupt veranlaßt.
- Signalprozessor nach Anspruch 5, dadurch gekennzeichnet, daß beim Auftreten eines weiteren Interrupts während eines Interruptzyklus ein Reservespeicher (46) zur Einschreibung des in der niederwertigsten

Speicherzelle (50) des Kontrollregisters (44) befindlichen Bits vorgesehen ist und daß am Ende des zuletzt erfolgten Interruptzyklus das in dem Reservespeicher gespeicherte Bit zur Einschreibung in die niederwertigste Speicherzelle des Kontrollregisters bestimmt ist.

7. Signalprozessor nach Anspruch 6, dadurch gekennzeichnet, daß auch beim Auftreten weiterer Interrupts der Reservespeicher (46) zur Einschreibung der in der niederwertigsten Speicherzelle (50) des Kontrollregisters (44) befindlichen Bits vorgesehen ist.

8. Signalprozessor nach Anspruch 7, dadurch gekennzeichnet, daß die Anzahl der Speicherzellen des Reservespeichers (46) mindestens gleich der Anzahl der Interruptquellen ist.

9. Signalprozessor nach Anspruch 7 oder 8, dadurch gekennzeichnet, daß der Reservespeicher (46) bei der Einschreibung der Bits zur Arbeit nach dem Schieberegisterprinzip und zur Auslesung des zuletzt eingeschriebenen Bits am Ende eines Interruptzyklus vorgesehen ist.

10. Signalprozessor nach einem der vorhergehenden Ansprüche zur Verwendung in einem digitalen Telefon.

Hierzu 2 Seite(n) Zeichnungen

15

20

25

30

35

40

45

50

55

60

65

**- Leerseite -**

100%

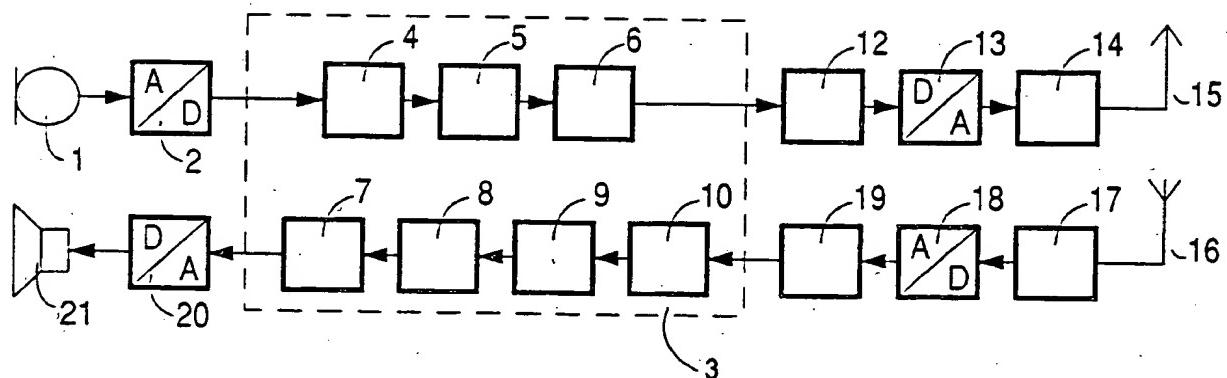


Fig. 1

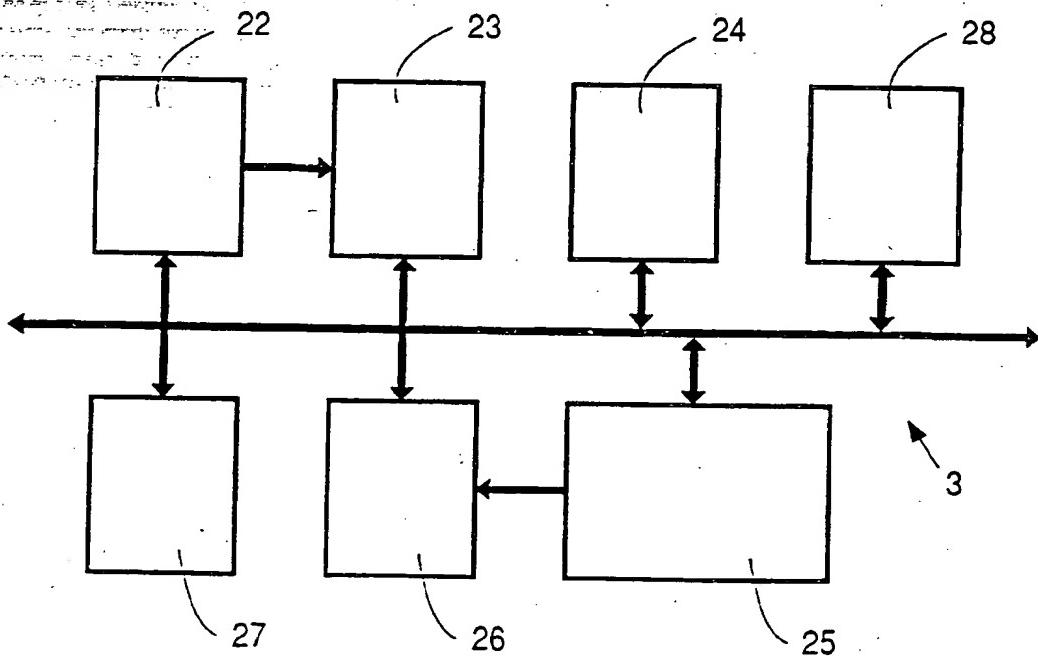
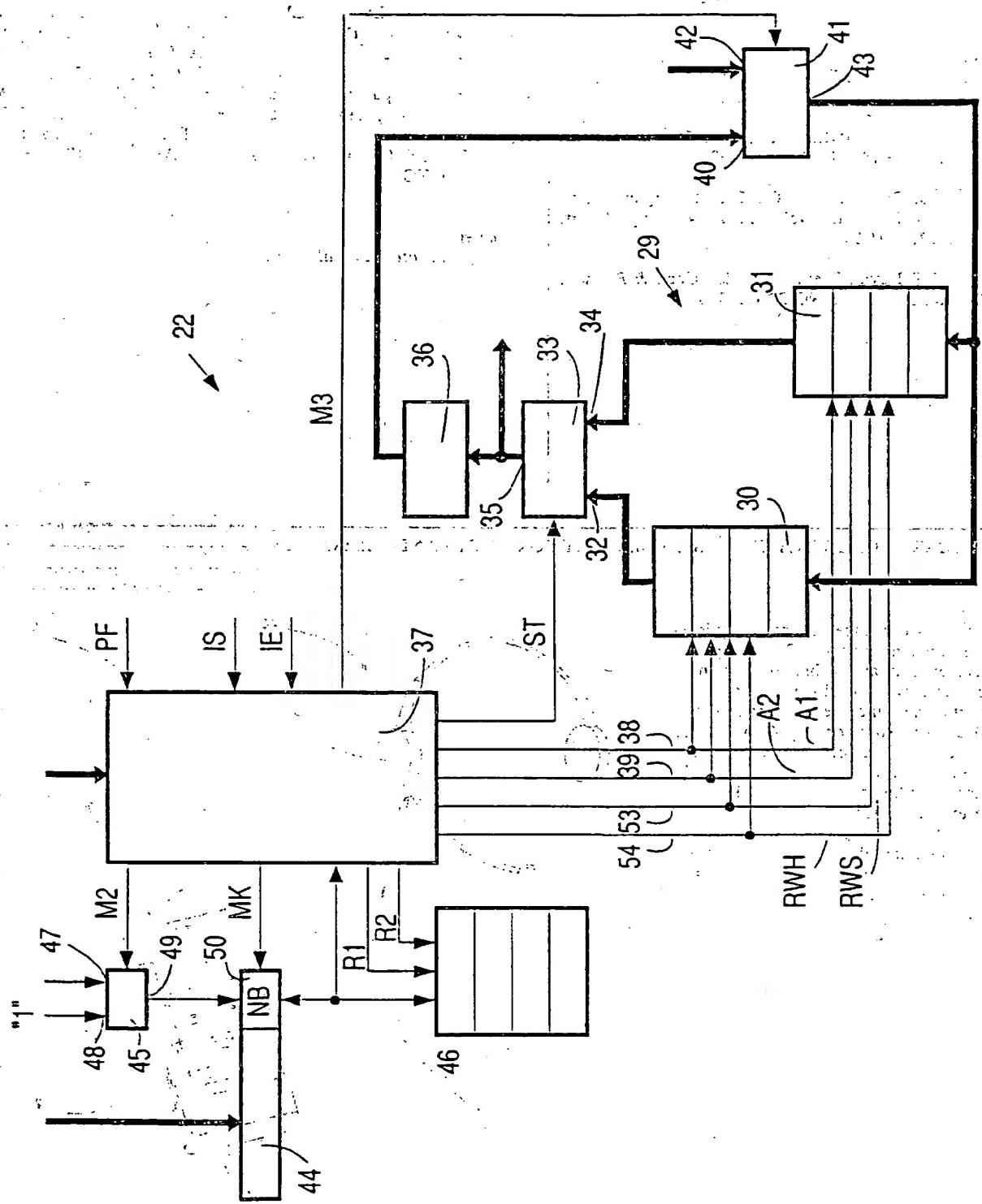


Fig. 2



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**

**THIS PAGE BLANK (USPTO)**